

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



# TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

Application No.	10/788,549
Filing Date	February 27, 2004
First Named Inventor	Chang-Ho Do
Art Unit	
Examiner Name	
Total Number of Pages in This Submission	6
Attorney Docket Number	51876P595

## ENCLOSURES (check all that apply)

<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment / Response <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input type="checkbox"/> PTO/SB/08 <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Basic Filing Fee <input type="checkbox"/> Declaration/POA <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s)	<input type="checkbox"/> After Allowance Communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input checked="" type="checkbox"/> Other Enclosure(s) (please identify below): <div>Request for Priority; return postcard</div>
Remarks		

## SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Eric S. Hyman, Reg. No. 30,139 BLAKELY, SOKOLOFF TAYLOR & ZAFMAN LLP
Signature	
Date	4/2/04

## CERTIFICATE OF MAILING/TRANSMISSION

I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Typed or printed name	Melissa Stead
Signature	
Date	4-2-04



# FEE TRANSMITTAL for FY 2004

Effective 01/01/2004. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27.

TOTAL AMOUNT OF PAYMENT

(\$)

## Complete if Known

Application Number	10/788,549
Filing Date	February 27, 2004
First Named Inventor	Chang-Ho Do
Examiner Name	
Art Unit	
Attorney Docket No.	51876P595

## METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None  
☒ Deposit Account

Deposit Account Number

02-2666

Deposit Account Name

Blakely, Sokoloff, Taylor & Zafman LLP

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments  
☒ Charge any additional fee(s) or underpayment of fees as required under 37 CFR §§ 1.16, 1.17, 1.18 and 1.20.  
☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account

## FEE CALCULATION

### 1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	180	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$)

### 2. EXTRA CLAIM FEES

Total Claims  - 20 =  X  =  Fee Paid  
Independent Claims  - 3 =  X  =   
Multiple Dependent  =

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple Dependent claim, if not paid	
1204	86	2204	43	**Reissue independent claims over original patent	
1205	18	2205	9	**Reissue claims in excess of 20 and over original patent	
SUBTOTAL (2)					(\$)

\*\*or number previously paid, if greater, For Reissues, see below

## FEE CALCULATION (continued)

### 3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet.	
2053	130	2053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920 *	1804	920 *	* Requesting publication of SIR prior to Examiner action	
1805	1,840 *	1805	1,840 *	* Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	1,210	2255	605	Extension for reply within fifth month	
1404	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	2451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	2460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	1809	385	Filing a submission after final rejection (37 CFR § 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR § 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) \_\_\_\_\_

\* Reduced by Basic Filing Fee Paid

SUBTOTAL (3)

(\$)

## SUBMITTED BY

## Complete (if applicable)

Name (Print/Type) Eric S. Hyman

Registration No. (Attorney/Agent)

30,139

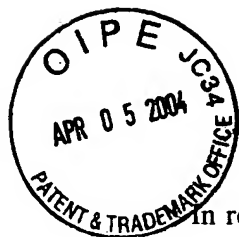
Telephone

(310) 207-3800

Signature

Date

4/2/04



DOCKET NO.: 51876P595

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

CHANG-HO DO

Application No.: 10/788,549

Filed: February 27, 2004

For: **Power-up Circuit In Semi-Conductor  
Memory Device**

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2003-99601	30 December 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 4/2/04

Eric S. Hyman  
Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800

I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

Melissa Stead  
Melissa Stead

4-2-04  
Date



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0099601  
Application Number

출원년월일 : 2003년 12월 30일  
Date of Application DEC 30, 2003

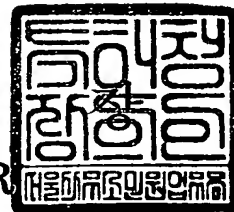
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2004 년 02 월 06 일

특 허 청

COMMISSIONER





1020030099601

출력 일자: 2004/2/11

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2003. 12. 30
【발명의 명칭】	반도체 메모리 소자의 파워업 회로
【발명의 영문명칭】	POWER UP CIRCUIT IN SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	도창호
【성명의 영문표기】	DO, Chang Ho
【주민등록번호】	700103-1696421
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1번지 현대전자아파트 101-1406
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의 한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	11 항 461,000 원
【합계】	490,000 원

1020030099601

출력 일자: 2004/2/11

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 메모리 설계 기술에 관한 것으로, 특히 반도체 메모리 소자의 전원 회로에 관한 것이며, 더 자세히는 반도체 메모리 소자의 파워업 회로에 관한 것이다. 본 발명은 파워 드롭에 의한 파워업 신호의 비정상적인 리셋을 방지할 수 있는 반도체 메모리 소자의 파워업 회로를 제공하는데 그 목적이 있다. 본 발명에서는 파워업 회로의 전원전압 감지부의 후단에 파워 드롭에 의한 파워업 신호의 리셋을 방지하기 위한 리셋 방지부를 삽입하였다. 리셋 방지부는 전원전압 감지부로부터 출력된 감지신호의 논리레벨 로우로의 천이에 대한 반응을 지연시켜 파워 드롭에 의한 감지신호의 변화를 상쇄하도록 구현할 수 있다. 이처럼 리셋 방지부를 추가함으로써 본 발명은 파워 드롭에 의한 파워업 신호의 비정상적인 리셋을 방지할 수 있으며, 이로 인하여 반도체 메모리 소자의 오동작을 방지할 수 있다.

**【대표도】**

도 3

**【색인어】**

반도체 메모리, 파워업 회로, 감지신호, 파워 드롭, 리셋 방지부



## 【명세서】

## 【발명의 명칭】

반도체 메모리 소자의 파워업 회로{POWER UP CIRCUIT IN SEMICONDUCTOR DEVICE}

## 【도면의 간단한 설명】

도 1은 종래기술에 따른 파워업 회로를 나타낸 도면.

도 2는 상기 도 1에 도시된 파워업 회로의 타이밍 다이어그램.

도 3은 본 발명의 일 실시예에 따른 반도체 메모리 소자의 파워업 회로를 나타낸 도면.

도 4는 상기 도 3에 도시된 파워업 회로의 타이밍 다이어그램.

\* 도면의 주요 부분에 대한 부호의 설명

200 : 전원전압 레벨 팔로워부

210 : 전원전압 감지부

220 : 리셋 방지부

230 : 버퍼부

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체 메모리 설계 기술에 관한 것으로, 특히 반도체 메모리 소자의 전원 회로에 관한 것이며, 더 자세히는 반도체 메모리 소자의 파워업 회로에 관한 것이다.
- <11> 반도체 메모리 소자에는 다양한 형태의 로직들과 안정적인 소자 동작을 보증하기 위한 내부전원 발생 블록이 존재한다. 이 로직들은 메모리 소자에 전원이 공급되어 본격적으로 동작하기 이전에 특정한 값으로 초기화되어 있어야 한다. 또한, 내부전원의 경우, 메모리 내부 로직의 전원 단자에 바이어스를 공급하게 되는데, 이들 내부전원이 전원전압(VDD) 인가시 적절한 전압 레벨을 갖지 못하면 래치-업(latch-up)과 같은 문제가 발생되어 소자의 신뢰성(reliability)을 보장하기 어렵다. 이처럼 메모리 내부 로직의 초기화와 내부전원의 불안정에 의한 래치-업을 방지하기 위하여 반도체 메모리 소자 내부에 파워업 회로를 구비하고 있다.
- <12> 파워업 회로는 반도체 메모리 소자의 초기화 동작시 외부로부터 전원전압(VDD)이 인가되는 순간 메모리 내부 로직들이 곧바로 전원전압(VDD)의 레벨에 응답하여 동작하지 않고 전원전압(VDD)의 레벨이 임계 레벨 이상으로 상승한 시점 이후에 동작하도록 한다.
- <13> 파워업 회로의 출력신호인 파워업 신호는 외부로부터 인가된 전원전압(VDD)의 레벨 상승을 감지하여 전원전압(VDD)이 임계 레벨보다 낮은 구간에서는 논리레벨 로우(low) 상태를 유지하다가 전원전압(VDD)이 임계 레벨 이상으로 안정화되면 논리레벨 하이(high)로 천이된다. 이와 반대로, 외부로부터 인가되는 전원전압(VDD)의 레벨이 낮아지는 경우, 파워업 신호는 전원



전압(VDD)이 임계 레벨보다 높은 구간에서는 그대로 논리레벨 하이 상태를 유지하다가 전원전압(VDD)이 임계 레벨 이하로 떨어지게 되면 다시 논리레벨 로우로 천이된다.

<14> 통상적으로, 전원전압(VDD)이 인가된 후 파워업 신호가 논리레벨 로우 상태일 때 메모리 내부 로직에 포함된 래치들이 예정된 값으로 초기화되며, 내부전원 발생 블록의 초기화 또한 이때 수행된다.

<15> 한편, 파워업 신호가 천이하는 전원전압(VDD)의 임계 레벨은 모든 로직들이 정상적인 스위칭 동작을 수행하기 위한 전압 레벨로서, MOS 트랜지스터의 문턱전압보다 조금 더 마진을 가지도록 설계한다. 이 마진의 정도는 파워업 트리거 레벨을 MOS 트랜지스터의 문턱전압 정도로 설정하면 일반적인 디지털 로직의 경우에는 초기화에 문제가 없지만, 아날로그 회로로 구성된 내부전원 회로(예컨대, VPP 발생기와 같은 승압전원 발생 회로)의 경우에는 동작 효율이 떨어져 파워업 트리거 이후 래치-업을 유발할 수 있다. 이러한 이유로 파워업 트리거 레벨을 이들 아날로그 회로들이 안정적인 값을 생성할 수 있도록 MOS 트랜지스터의 문턱전압보다 일정 정도 더 마진을 가지도록 하는 것이다.

<16> 도 1은 종래기술에 따른 파워업 회로를 나타낸 도면이다.

<17> 도 1을 참조하면, 종래기술에 따른 파워업 회로는, 전원전압(VDD)과 접지전압(VSS)을 이용하여 전원전압(VDD)의 레벨 변화에 따라 선형적으로 변화하는 바이어스 전압( $V_a$ )을 제공하기 위한 전원전압 레벨 팔로워부(100)와, 바이어스 전압( $V_a$ )에 응답하여 전원전압(VDD)의 임계 레벨로의 변화를 감지하기 위한 전원전압 감지부(110)와, 전원전압 감지부(110)로부터 출력된 감지신호를 버퍼링하여 파워업 신호(pwrup)를 출력하기 위한 버퍼부(120)를 구비한다.



- <18> 여기서, 전원전압 레벨 팔로워부(100)는 전원전압단(VDD)과 접지전압단(VSS) 사이에 제공되어 전압 디바이더를 구성하는 제1 및 제2 저항(R1 및 R2)을 구비한다.
- <19> 그리고, 전원전압 감지부(110)는 전원전압단(VDD)과 노드 N1 사이에 접속되며 접지전압(VSS)을 게이트 입력으로 하는 PMOS 트랜지스터(MP0)와, 접지전압단(VSS)과 노드 N1 사이에 접속되며 바이어스 전압(Va)을 게이트 입력으로 하는 NMOS 트랜지스터(MN0)와, 노드 N1로부터 출력된 감지신호(det)를 입력으로 하는 인버터(INV0)를 구비한다.
- <20> 한편, 버퍼부(120)는 전원전압 감지부(110)로부터 출력된 감지신호의 반전신호(detb)를 입력으로 하는 인버터 체인 - 4개의 인버터(INV1, INV2, INV3, INV4)로 구현됨 - 을 구비한다.
- <21> 도 2는 상기 도 1에 도시된 파워업 회로의 타이밍 다이어그램이다.
- <22> 도 2를 참조하면, 전원전압 레벨 팔로워부(100)의 출력신호인 바이어스 전압(Va)은 하기의 수학적 식 1에 따라 변화하게 된다.
- <23> 【수학적 식 1】  $V_a = (R_2 / (R_1 + R_2)) \times V_{DD}$
- <24> 즉, 전원전압(VDD) 레벨이 증가함에 따라 바이어스 전압(Va)이 전원전압 감지부(110)의 NMOS 트랜지스터(MN0)의 문턱전압 이상으로 증가하게 되면 NMOS 트랜지스터(MN0)가 턴온되어 로드로 작용하는 PMOS 트랜지스터(MP0)와 NMOS 트랜지스터(MN0)에 흐르는 전류량의 변화에 따라 감지신호(det)의 레벨이 변화하게 된다.
- <25> 감지신호(det)는 초기에 NMOS 트랜지스터(MN0)가 턴오프되어 있기 때문에 전원전압(VDD)을 따라 증가한다. 한편, 바이어스 전압(Va)이 증가할수록 NMOS 트랜지스터(MN0)의 전류 구동



력이 증가하면서 전원전압(VDD)의 특정 레벨에서 감지신호(det)가 로우로 천이하게 되는데, 이 과정에서 감지신호(det)의 레벨이 인버터(INV0)의 로직 문턱값을 넘어서게 되면 비로소 인버터(INV0)의 출력신호(detb)가 천이하면서 전원전압(VDD) 레벨을 따라 증가하게 된다.

<26> 한편, 인버터(INV0)의 출력신호(detb)는 버퍼부(120)에서 버퍼링되어 파워업 신호(pwrup)를 논리레벨 로우에서 하이로 천이하게 만든다.

<27> 그런데, 파워가 인가되어 전원전압(VDD)이 안정화된 후 반도체 메모리 소자가 어떤 동작을 수행하는 경우, 파워 노이즈 혹은 소자의 일시적 동작에 의한 전류소모와 저항에 의한 파워 소모에 의해 일시적인 파워 드롭(power drop)이 유발된다. 반도체 메모리 소자의 동작전압이 저전압화되고 있는 추세에서, 상기와 같은 종래의 파워업 회로는 이러한 전원전압(VDD)의 비정상적인 전압 강하까지 감지하기 때문에 파워업 신호(pwrup)가 비정상적으로 리셋(reset)되는 것을 방지할 수 없었다. 물론, 전원전압(VDD)의 전압 레벨이 다시 회복됨에 따라 파워업 신호(pwrup) 역시 논리레벨 하이로 복귀하지만, 이처럼 반도체 메모리 소자의 동작 중에 파워업 신호(pwrup)가 리셋 되면 내부 로직들의 초기화가 진행되어 반도체 메모리 소자의 오동작을 유발하는 요인이 된다.

#### 【발명이 이루고자 하는 기술적 과제】

<28> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 파워 드롭에 의한 파워업 신호의 비정상적인 리셋을 방지할 수 있는 반도체 메모리 소자의 파워업 회로를 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

- <29>        상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 전원전압의 레벨 변화에 따라 선형적으로 변화하는 바이어스 전압을 제공하기 위한 전원전압 레벨 팔로워부; 상기 바이어스 전압에 응답하여 상기 전원전압의 예정된 임계 레벨로의 변화를 감지하기 위한 전원전압 감지부; 및 상기 전원전압 감지부로부터 출력된 감지신호의 상기 전원전압의 하강에 대응하는 천이에 대한 반응을 지연시켜 파워 드롭에 의한 감지신호의 변화를 상쇄하기 위한 리셋 방지부를 구비하는 반도체 메모리 소자의 파워업 회로가 제공된다.
- <30>        바람직하게, 상기 리셋 방지부의 출력신호를 버퍼링하여 파워업 신호를 출력하기 위한 버퍼부를 더 구비한다.
- <31>        바람직하게, 상기 리셋 방지부는, 상기 전원전압 감지부의 출력신호에 제어 받는 제1 풀업 수단 및 풀다운 수단과, 상기 전원전압 감지부의 출력신호의 천이에 따른 상기 제1 풀업 수단의 풀업 동작을 지연시키기 위한 반응 지연수단을 구비한다.
- <32>        바람직하게, 상기 반응 지연 수단은, 상기 전원전압 감지부의 출력신호를 일정 시간만큼 지연시켜 출력하기 위한 지연수단과, 상기 제1 풀업 수단과 전원전압단 사이에 접속되며 상기 지연수단의 출력신호에 제어 받는 제2 풀업 수단을 구비한다.
- <33>        바람직하게, 상기 지연수단의 지연 시간은 상기 파워 드롭에 의해 상기 감지신호가 논리 레벨 로우를 유지하는 시간보다 크게 설정한다.
- <34>        바람직하게, 상기 리셋 방지부는 상기 제1 풀업 수단 및 상기 제1 풀다운 수단의 출력노드에 접속된 인버터를 더 구비한다.

- <35> 바람직하게, 상기 제1 및 제2 풀업 수단은 각각 PMOS 트랜지스터이며, 상기 풀다운 수단은 NMOS 트랜지스터로 구현한다.
- <36> 바람직하게, 상기 전원전압 레벨 팔로워부는 상기 전원전압단과 접지전압단 사이에 제공되어 전압 디바이더를 구성하는 제1 및 제2 로드 소자를 구비한다.
- <37> 바람직하게, 상기 전원전압 감지부는, 상기 전원전압단과 제1 노드 사이에 접속된 로드 소자; 접지전압단과 상기 제1 노드 사이에 접속되며 상기 바이어스 전압을 게이트 입력으로 하는 NMOS 트랜지스터; 및 상기 제1 노드에 접속되어 상기 감지신호를 출력하기 위한 인버터를 구비한다.
- <38> 바람직하게, 상기 로드 소자는 상기 전원전압단과 제1 노드 사이에 접속되며 접지전압을 게이트 입력으로 하는 PMOS 트랜지스터로 구현한다.
- <39> 바람직하게, 상기 버퍼부는 상기 리셋 방지부의 출력신호를 입력으로 하는 인버터 체인을 구비한다.
- <40> 본 발명에서는 파워업 회로의 전원전압 감지부의 후단에 파워 드롭에 의한 파워업 신호의 리셋을 방지하기 위한 리셋 방지부를 삽입하였다. 리셋 방지부는 전원전압 감지부로부터 출력된 감지신호의 논리레벨 로우로의 천이에 대한 반응을 지연시켜 파워 드롭에 의한 감지신호의 변화를 상쇄하도록 구현할 수 있다. 이처럼 리셋 방지부를 추가함으로써 본 발명은 파워 드롭에 의한 파워업 신호의 비정상적인 리셋을 방지할 수 있으며, 이로 인하여 반도체 메모리 소자의 오동작을 방지할 수 있다.

- <41> 이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.
- <42> 도 3은 본 발명의 일 실시예에 따른 반도체 메모리 소자의 파워업 회로를 나타낸 도면이다.
- <43> 도 3을 참조하면, 본 실시예에 따른 반도체 메모리 소자의 파워업 회로는, 전원전압(VDD)과 접지전압(VSS)을 이용하여 전원전압(VDD)의 레벨 변화에 따라 선형적으로 변화하는 바이어스 전압( $V_a$ )을 제공하기 위한 전원전압 레벨 팔로워부(200)와, 바이어스 전압( $V_a$ )에 응답하여 전원전압(VDD)의 예정된 임계 레벨로의 변화를 감지하기 위한 전원전압 감지부(210)와, 전원전압 감지부(210)로부터 출력된 감지신호의 논리레벨 로우로의 천이에 대한 반응을 지연시켜 파워 드롭에 의한 감지신호의 변화를 상쇄(caceling)하기 위한 리셋 방지부(220)와, 리셋 방지부(220)의 출력신호(detbn)를 버퍼링하여 파워업 신호(pwrup)를 출력하기 위한 버퍼부(230)를 구비한다.
- <44> 여기서, 전원전압 레벨 팔로워부(200)는 전원전압단(VDD)과 접지전압단(VSS) 사이에 제공되어 전압 디바이더를 구성하는 제1 및 제2 저항( $R_1$  및  $R_2$ )을 구비한다. 한편, 제1 및 제2 저항( $R_1$  및  $R_2$ )은 MOS 트랜지스터와 같은 능동 저항으로 구현할 수 있다.
- <45> 그리고, 전원전압 감지부(210)는 전원전압단(VDD)과 노드 N1 사이에 접속되며 접지전압(VSS)을 게이트 입력으로 하는 PMOS 트랜지스터(MP0)와, 접지전압단(VSS)과 노드 N1 사이에 접속되며 바이어스 전압( $V_a$ )을 게이트 입력으로 하는 NMOS 트랜지스터(MN0)와, 노드 N1로부터 출력된 감지신호(det)를 입력으로 하는 인버터(INV0)를 구비한다. 여기서, PMOS 트랜지스터(MP0)는 그의 유효 저항값과 동일한 유효 저항값을 가지는 다른 로드 소자로 대체할 수 있다



- <46> 즉, 본 실시예에 따른 파워업 회로에서 전원전압 레벨 팔로워부(200) 및 전원전압 감지부(210)의 구성은 상기 도 1에 도시된 종래기술과 동일하며, 이에 상기 도 1과 같은 구성을 가지는 엘리먼트에 대해서는 동일한 도면부호를 사용하였다.
- <47> 한편, 리셋 방지부(220)는 전원전압 감지부(210)의 출력신호(detb)를 게이트 입력으로 하는 풀업 PMOS 트랜지스터(MP2) 및 풀다운 NMOS 트랜지스터(MN2)와, 전원전압 감지부(210)의 출력신호(detb)의 천이에 따른 풀업 PMOS 트랜지스터(MP2)의 풀업 동작을 지연시키기 위한 반응 지연부(225)와, 풀업 PMOS 트랜지스터(MP2) 및 풀다운 NMOS 트랜지스터(MN2)의 노드 N2에 접속된 인버터(INV5)를 구비한다. 여기서, 반응 지연부(225)는 전원전압 감지부(210)의 출력신호(detb)를 입력 받아 일정 시간만큼 지연시켜 출력하기 위한 딜레이(20)와, 풀업 PMOS 트랜지스터(MP2)와 전원전압단(VDD) 사이에 접속되며 딜레이(20)의 출력신호(detbd)를 게이트 입력으로 하는 PMOS 트랜지스터(MP1)를 구비한다. 딜레이(20)는 통상의 지연 소자인 저항, 캐패시터, 트랜지스터 등으로 구현할 수 있다.
- <48> 또한, 버퍼부(230)는 리셋 방지부(220)의 출력신호(detbn)를 입력으로 하는 인버터 체인 - 2개의 인버터(INV6, INV7)로 구현됨 - 을 구비한다.
- <49> 도 4는 상기 도 3에 도시된 파워업 회로의 타이밍 다이어그램으로서, 이하 이를 참조하여 본 실시예에 따른 파워업 회로의 동작을 살펴본다.
- <50> 먼저, 전원전압(VDD)이 인가되어 그 레벨이 증가함에 따라 바이어스 전압(Va)이 전원전압 감지부(210)의 NMOS 트랜지스터(MN0)의 문턱전압 이상으로 증가하게 되면 NMOS 트랜지스터(MN0)가 턴온되어 로드로 작용하는 PMOS 트랜지스터(MP0)와 NMOS 트랜지스터(MN0)에 흐르는 전류량의 변화에 따라 감지신호(det)의 레벨이 변화하게 된다.

- <51> 감지신호(det)는 초기에 NMOS 트랜지스터(MN0)가 턴오프되어 있기 때문에 전원전압(VDD)을 따라 증가하게 된다. 한편, 바이어스 전압(Va)이 증가할수록 NMOS 트랜지스터(MN0)의 전류 구동력이 증가하면서 전원전압(VDD)의 특정 레벨에서 감지신호(det)가 로우로 천이하게 되는데, 이 과정에서 감지신호(det)의 레벨이 인버터(INV0)의 로직 문턱값을 넘어서게 되면 비로소 인버터(INV0)의 출력신호(detb)가 천이하면서 전원전압(VDD) 레벨을 따라 증가하게 된다.
- <52> 한편, 전원전압 감지부(210)의 출력신호(detb)가 논리레벨 하이가 되면 리셋 방지부(220)의 풀다운 NMOS 트랜지스터(MN2)가 턴온되어 노드 N2를 방전시키고, 인버터(INV5)의 출력신호(detbn)는 논리레벨 하이가 된다. 이후 이 신호(detbn)는 버퍼부(230)에서 버퍼링되어 파워업 신호(pwrup)를 논리레벨 로우에서 하이로 천이하게 만든다.
- <53> 이상의 과정은 전술한 종래의 파워업 회로의 경우와 거의 동일하다. 본 실시예에 따른 파워업 회로의 리셋 방지부(220)는 파워업 신호(pwrup)의 논리레벨 하이로 천이 이후 파워드롭이 발생한 경우에 비로소 의미있는 동작을 수행하게 된다.
- <54> 전술한 종래기술에 살펴본 바와 같이, 파워 드롭이 발생한 경우, 전원전압(VDD)의 전압 강하에 의해 전원전압 감지부(210)에서 이를 감지하여 감지신호(det)의 레벨이 상승하게 되고, 인버터(INV0)의 출력신호(detb)는 논리레벨 로우로 펄싱하게 된다.
- <55> 이처럼 인버터(INV0)의 출력신호(detb)가 논리레벨 로우로 펄싱하게 되면 리셋 방지부(220)의 풀업 PMOS 트랜지스터(MP2)가 턴온되고 풀다운 NMOS 트랜지스터(MN2)가 턴오프된다.
- <56> 그런데, 풀업 PMOS 트랜지스터(MP2)의 풀업 동작은 반응 지연부(225)의 PMOS 트랜지스터(MP1)가 턴온되어야만 비로소 수행될 수 있다. 반응 지연부(225)의 PMOS 트랜지스터(MP1)는 인버터(INV0)의 출력신호(detb)가 아닌 그 신호의 지연신호(detbd)를 게이트 입력으로 하기 때문

에 인버터(INV0)의 출력신호(detb)가 논리레벨 로우로 펄싱한 시점으로부터 딜레이(20)에 의한 지연 시간(d) 이후에 턴온된다.

<57> 여기서, 딜레이(20)의 지연 시간(d)이 파워 드롭에 의해 인버터(INV0)의 출력신호(detb)가 논리레벨 로우를 유지하는 시간보다 크게 설정한다면 PMOS 트랜지스터 MP1 및 MP2에 의한 풀업 동작은 일어나지 않게 되며, 이에 따라 파워업 신호(pwrup)는 그 레벨이 일시적으로 낮아질 수는 있지만 논리레벨 로우로 천이되지는 않게 된다.

<58> 따라서, 전술한 본 실시예에 따른 파워업 회로는 파워업 신호(pwrup)의 천이 이후 파워 드롭이 유발되더라도 메모리 내부 로직들의 원치 않는 초기화를 방지할 수 있으며, 이로 인하여 반도체 메모리 소자의 오동작을 방지할 수 있다.

<59> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

<60> 예컨대, 전술한 실시예에서는 리셋 방지부(220)를 구현함에 있어서, 풀업측에 반응지연부(225)를 배치하는 경우를 일례로 들어 설명하였으나, 이는 감지신호의 특성에 따른 것으로, 경우에 따라 반응지연부(225)를 풀다운측에 배치할 수 있다.

<61> 또한, 전술한 실시예에서는 버퍼부를 배치하는 경우를 일례로 들어 설명하였으나, 경우에 따라 별도의 버퍼부를 배치하지 않을 수도 있다.

**【발명의 효과】**

<62> 전술한 본 발명은 파워업 신호의 천이 이후 파워 드롭이 유발되더라도 메모리 내부 로직들의 원치 않는 초기화를 방지할 수 있으며, 이로 인하여 반도체 메모리 소자의 오동작을 방지할 수 있다. 한편, 이러한 효과는 특히, 최근 이슈화되고 있는 낮은 동작전압을 사용하는 반도체 메모리 소자에 적용시 가장 부각될 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

전원전압의 레벨 변화에 따라 선형적으로 변화하는 바이어스 전압을 제공하기 위한 전원 전압 레벨 팔로워부;

상기 바이어스 전압에 응답하여 상기 전원전압의 예정된 임계 레벨로의 변화를 감지하기 위한 전원전압 감지부; 및

상기 전원전압 감지부로부터 출력된 감지신호의 상기 전원전압의 하강에 대응하는 천이에 대한 반응을 지연시켜 파워 드롭에 의한 감지신호의 변화를 상쇄하기 위한 리셋 방지부를 구비하는 반도체 메모리 소자의 파워업 회로.

**【청구항 2】**

제1항에 있어서,

상기 리셋 방지부의 출력신호를 버퍼링하여 파워업 신호를 출력하기 위한 버퍼부를 더 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

**【청구항 3】**

제1항에 있어서,

상기 리셋 방지부는,

상기 전원전압 감지부의 출력신호에 제어 받는 제1 풀업 수단 및 풀다운 수단과,

상기 전원전압 감지부의 출력신호의 천이에 따른 상기 제1 풀업 수단의 풀업 동작을 지연시키기 위한 반응 지연수단을 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 4】

제3항에 있어서,

상기 반응 지연 수단은,

상기 전원전압 감지부의 출력신호를 일정 시간만큼 지연시켜 출력하기 위한 지연수단과,

상기 제1 풀업 수단과 전원전압단 사이에 접속되며 상기 지연수단의 출력신호에 제어 받는 제2 풀업 수단을 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 5】

제4항에 있어서,

상기 지연수단의 지연 시간은 상기 파워 드롭에 의해 상기 감지신호가 논리레벨 로우를 유지하는 시간보다 큰 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 6】

제4항에 있어서,

상기 리셋 방지부는 상기 제1 풀업 수단 및 상기 제1 풀다운 수단의 출력노드에 접속된 인버터를 더 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 7】

제4항에 있어서,

상기 제1 및 제2 풀업 수단은 각각 PMOS 트랜지스터이며, 상기 풀다운 수단은 NMOS 트랜지스터인 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 8】

제4항에 있어서,

상기 전원전압 레벨 팔로워부는 상기 전원전압단과 접지전압단 사이에 제공되어 전압 디바이더를 구성하는 제1 및 제2 로드 소자를 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 9】

제4항에 있어서,

상기 전원전압 감지부는,

상기 전원전압단과 제1 노드 사이에 접속된 로드 소자;

접지전압단과 상기 제1 노드 사이에 접속되며 상기 바이어스 전압을 게이트 입력으로 하는 NMOS 트랜지스터; 및



상기 제1 노드에 접속되어 상기 감지신호를 출력하기 위한 인버터를 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 10】

제9항에 있어서,

상기 로드 소자는 상기 전원전압단과 제1 노드 사이에 접속되며 접지전압을 게이트 입력으로 하는 PMOS 트랜지스터로 구현하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 11】

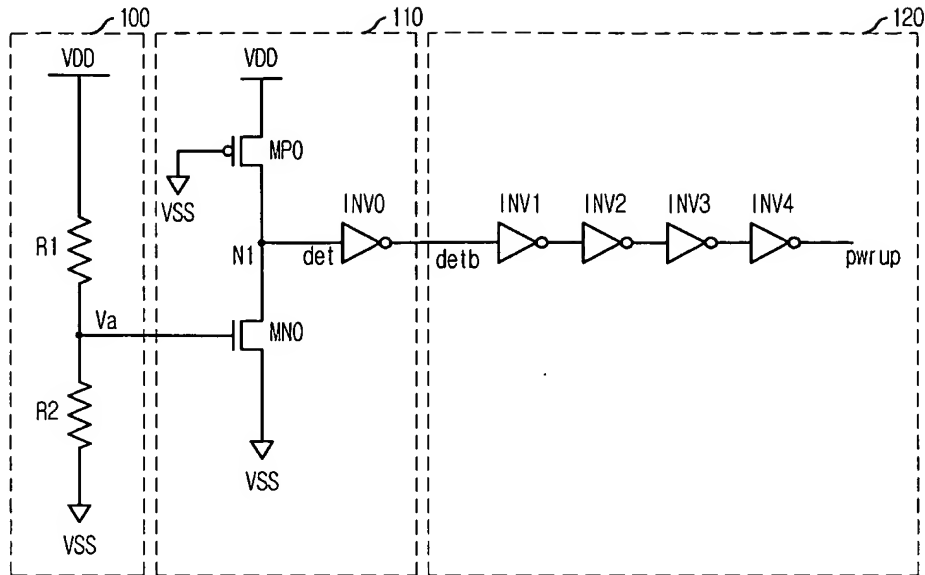
제2항에 있어서,

상기 버퍼부는 상기 리셋 방지부의 출력신호를 입력으로 하는 인버터 체인을 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

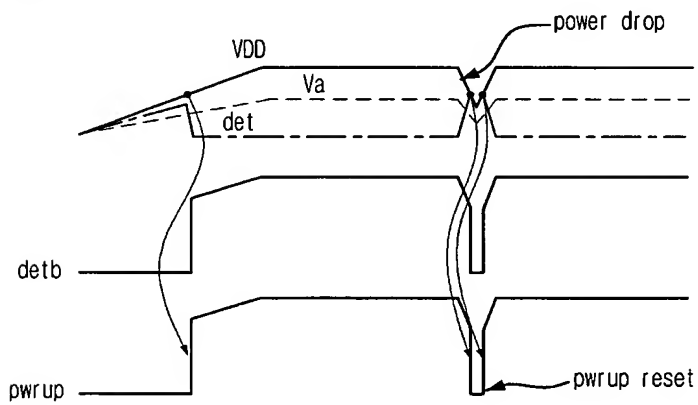


## 【도면】

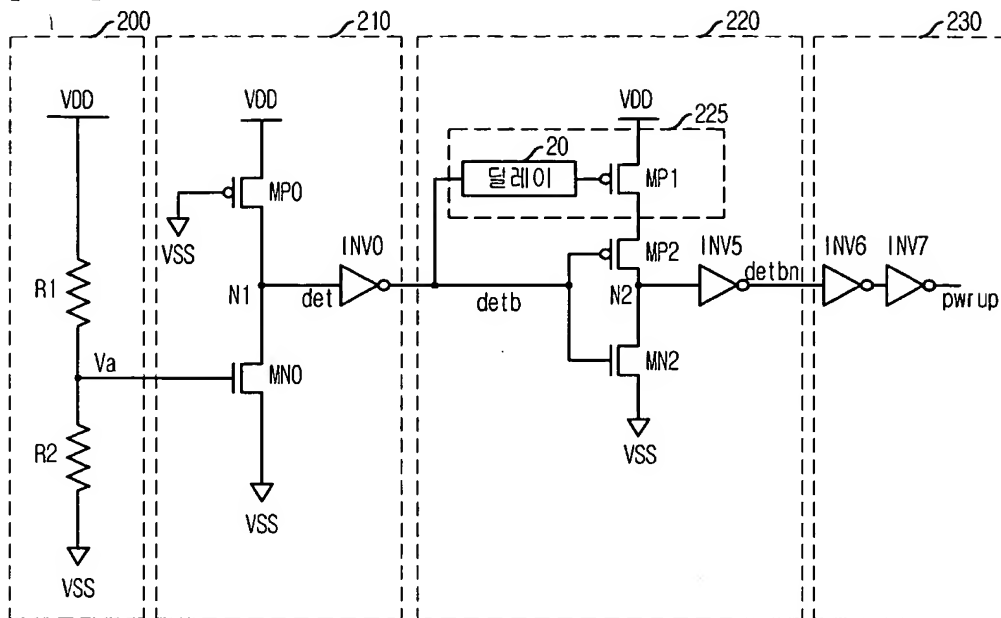
【도 1】



【도 2】



【도 3】



【도 4】

